

汎用 **FPGA** の技術革新を実現する **Certus-NX**

Linley Gwennap

主席アナリスト

2020 年 6 月



www.linleygroup.com

汎用 **FPGA** の技術革新を実現する **Certus-NX**

Linley Gwennap

The Linley Group 主席アナリスト

ラティスセミコンダクターの **Nexus** ファミリー第 2 弾製品である **Certus-NX** は、FD-SOI のメリットを様々なアプリケーションにもたらしめます。この汎用 **FPGA** は **PCIe Gen2** とギガビット・イーサネットをサポートするとともに、先進的な暗号化機能、低消費電力、小型パッケージ、フレキシブルな **I/O** を特長としています。スマートホーム、IoT、コンシューマ・ネットワーキング、モーター制御など様々なアプリケーションに適しています。このホワイトペーパーはラティスセミコンダクターのスポンサーシップにより、筆者自身の意見や分析に基づいて執筆したものです。

はじめに

Certus-NX は **PCI Express** やイーサネットの接続が求められるアプリケーションをターゲットとしており、ラティスの **Nexus FPGA** 技術のメリットを新たな市場にもたらしめます。新製品は 17,000 ロジック・セルと 39,000 ロジック・セルの 2 つのモデルで提供されます。ロジック・セルの多い **Certus-NX-40** はホスト・プロセッサ、ワイヤレスまたは有線通信チップなどの多くのデバイスへの接続を可能にする **PCIe Gen2** インタフェースを提供します。両モデルともハード回路を使用してギガビット・イーサネットをサポートし、性能と電力効率を向上します。さらに、新製品は **I/O** 密度を 2 倍に向上しながら、競合製品と比較してパッケージを大幅に小型化しています。

Nexus プラットフォームは **FD-SOI** プロセスを採用している点に特徴があります。**FD-SOI** プロセス技術は標準 **CMOS** と異なるアプローチをとっており、消費電力を大幅に削減することができます。図 1 に示すように、**Certus-NX** の消費電力は、同等クラスの **Intel** や **Xilinx** の **FPGA** に比べ 3 分の 1 ないし 4 分の 1 程度になります。また、高速なコンフィギュレーション時間により、より迅速なシステム起動を可能にしています。更に認証機能や暗号化機能のハード・ブロックを内蔵し、セキュリティ機能を強化できます。

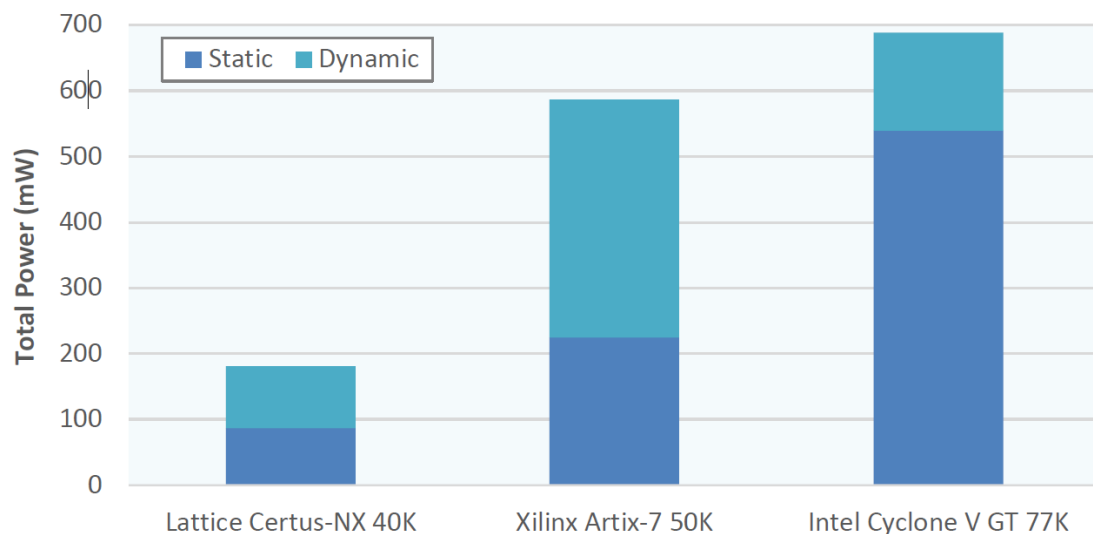


図 1 : Lattice Certus-NX 製品。同等クラスの Intel や Xilinx の FPGA と比較し、Certus-NX は消費電力を 70～75%削減。消費電力は PCIe Gen2 インタフェース、ワースト・プロセス、Tj=85°C、125MHz で推定。(出典：各ベンダの消費電力カリキュレータ)

Certus-NX はエッジで動作する産業機器から 5G 通信インフラ、クラウド・データセンタまでのネットワーク全体にわたる多数の制御/コンピューティング・アプリケーションに最適です。Certus-NX FPGA は多様な通信プロトコルに対応するほか、インターネット接続デバイスで求められるセキュリティ機能にも対応しています。多くの場合で、通信タスクの実行と同時にニューラル・ネットワーク (AI) の実行が可能です。また、Certus-NX は ADC を内蔵しアナログ・モーターやセンサに接続できます。

製品概要

Certus-NX FPGA はフレキシブルな I/O と十分なゲート数を持っており、様々なプロトコルに対応できます。最大 39,000 ロジック・セルと DSP ブロックを使用して、ニューラル・ネットワークや他のアクセラレーション機能を実装するなど様々なアプリケーションに対応することができます。暗号機能はデバイスに組み込まれており、ブートコード認証のための楕円曲線 (ECDSA) アルゴリズムや、ブロック暗号のための AES のアクセラレーションを行います。イーサネットの実装を支援するため、Certus-NX FPGA には最大 1Gbps のイーサネット・データレートをサポートするクロック・データ・リカバリ (CDR) ハード・ロジックが含まれています。イーサネット・プロトコルの実装に十分な LUT と組み合わせることにより、Certus-NX FPGA は外部 PHY チップへの SGMII 接続を実装することができます。

高速通信向けに、Certus-NX-40 デバイスには図 2 に示すように PCIe Gen2 コントローラの

ハード・ロジックが含まれています。このインタフェースは最大 **5Gbps** でシングル・レーンに対応しています。両デバイスとも最大 **1Msps** で動作する、**12 ビット逐次比較型 (SAR)** アナログ/デジタル・コンバータ (ADC) を 2 個搭載しています。他のプロトコル向けのサポートには、プログラマブル I/O と共に **LUT** を使用してコントローラを実装する事で、**LVDS**、**subLVDS**、**DDR3-1066** の **DRAM** など最大 **1.5Gbps** のシングルおよび差動インタフェースを実装可能です。ロジック・ファブリックには **LUT**、**エンベデッド・メモリ**、**DSP (18x18 ビット・マルチプライヤ)** が含まれています。「**Large RAM**」はファブリックとは別に、最大 **2.5 メガビット** のメモリブロックを提供します。

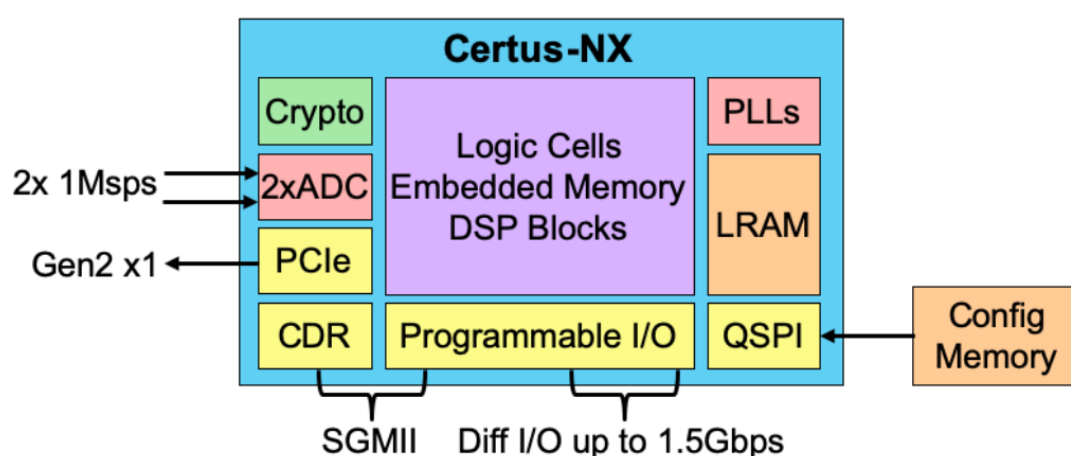


図 2 : **Certus-NX** のブロック図。Certus-NX FPGA は AES と楕円曲線暗号化のためのハード・ロジック、ギガビット・イーサネット (SGMII) のためのクロック・データ・リカバリ (CDR)、PCIe Gen2 コントローラ、アナログ/デジタル・コンバータ (ADC) を搭載。

FD-SOI 技術はバック・ボディ・バイアスを可能にし、標準 CMOS と比較してリーク電流を **75%**削減します。動作電圧は **1.0V** で、アクティブ電力を削減します。この技術により信頼性も向上します。FPGA は **SRAM** にコンフィギュレーションを保存することから、ランダム・ソフトウェア (SEU) を引き起こす可能性があります。CMOS と比較して、FD-SOI はソフト **SRAM** エラーの **99%超**を削減し、実質的に **SEU** を除去します。

Certus-NX 製品は最小サイズが **6 x 6mm** と小さい各種パッケージで提供されます。消費電力が低いことから、電源とグラウンドの接続数が少なく、I/O のためのスペースを確保できます。最小サイズのパッケージでは最大 **82 本** の I/O を、最大サイズ (**14mm** 角) のパッケージでは **192 本** の I/O を提供します。また、ラティスは **SRAM** への **FPGA** コンフィギュレーション・ロード時間を短縮することにより、高速起動を可能にしました。**Certus-NX-40** は外部フラッシュ・メモリとのクワッド **SPI** 接続時に、わずか **14 ミリ秒** で起動します。その内、I/O はわずか **3 ミリ秒** で初期化されます。

製品の比較

PCIe を必要とするアプリケーションで、Certus-NX-40 を Intel の Cyclone V、Xilinx の Artix-7 ファミリと比較します。いずれもハード PCIe インタフェースを備えた 28nm CMOS FPGA です。ここで約 50,000 ロジック・セルのモデルを選んだのは、その次にロジック・セルが少ないモデルの場合は 33,000 ロジック・セルとなり、Certus-NX に比べ大幅に少なくなるからです。表 1 に示されているように、競合製品はゲート数がより多いことに対応して総メモリがわずかに多くなっています。DSP ブロックも多くなっています。

	Lattice Certus-NX-40	Intel Cyclone V 5CGXC4	Xilinx Artix-7 XC7A50T
ロジック・セル	39,000 LC	50,000 LE	52,160 LC
総 RAM	2.5Mbits	2.8Mbits	3.3Mbits
DSP (18x18 Mult)	56 マルチプライヤ	140 マルチプライヤ	120 マルチプライヤ
ハード暗号化ブロック	AES、ECDSA	AES	AES
PCI Express	Gen2 x1	Gen1 x2	Gen2 x1
他のハード I/O	SGMII、ADC	DDR3	SGMII、ADC
最大 I/O 数*	82–192	129–336	106–250
差動 I/O 速度	1,500Mbps	840Mbps	1,250Mbps
IC プロセス	28nm FD-SOI	28nm CMOS	28nm CMOS
最小パッケージサイズ	6 mm x 6 mm	11 mm x 11 mm	10 mm x 10 mm
ソフトウェア・レート (FIT)	19	データの報告なし	3,102‡
コンフィギュレーション時間	14ms	139ms‡	173ms‡
推定消費電力†	181mW	688mW	539mW

表 1 : PCIe 設計向け FPGA。Certus-NX はより高速な I/O の速度とともに優れた暗号化機能とイーサネットを提供します。Certus-NX は極めて小型のパッケージ、100 倍優れたソフトウェア耐性、10 倍高速のコンフィギュレーション時間を提供します。*パッケージサイズ範囲。†PCIe Gen2 インタフェース、ワースト・プロセス、Tj=85°C、125MHz。(出典：競合他社資料。‡ラティスを除く)

Certus-NX は他の部分でも優れています。ユーザーモード AES アクセラレーションのほか、FPGA コンフィギュレーション・ビットストリームの認証 (ECDSA) と暗号化の両方を提供し、最も優れた暗号化サポート機能を提供します。Intel と Xilinx の製品には認証機能がなく、コンフィギュレーションのみのための AES をサポートします。Cyclone FPGA の 2 本の Gen1 レーンは同じ総帯域幅を提供できますが PCIe Gen2 をサポートしておらず、イーサネット設計向けのハード CDR ブロックも備えていません。Certus-NX は最高の I/O 速

度を提供し、パッケージサイズは他の製品の 3 分の 1 であることから、基板面積を小さくできます。

PCIe インタフェースを必要としないアプリケーションにおいて、Certus FPGA は Cyclone V E ファミリ、Spartan-7 ファミリなどの製品と競合します。表 2 はロジック・セルの少ない Certus-NX-17 を、競合ファミリで能力が同等の FPGA と比較しています。ラティス製品はロジック・セルがわずかに少ないものの、メモリは非常に多く、ともにファブリック内の EBR やファブリック外部の Large RAM に組み込まれており、より多くのデータのバッファや大型ニューラル・ネットワークに対応できます。表 1 で行った比較と同様に、Certus-NX は暗号化サポート、I/O 速度の面で優れています。小型 6mm 角パッケージが必要とする基板面積は、他の製品の 4 分の 1 未満で約 2 倍の I/O 密度を提供します。Certus-NX はこの中で唯一、ハード・イーサネット・ロジックを備えています。

	Lattice Certus-NX-17	Intel Cyclone V 5CGXC4	Xilinx Artix-7 XC7A50T
ロジック・セル	17,000 LC	25,000 LE	23,360 LC
総 RAM	3.0Mbits	1.9Mbits	1.9Mbits
DSP (18x18 Mult)	24 マルチプライヤ	50 マルチプライヤ	80 マルチプライヤ
ハード暗号化ブロック	AES、ECDSA	AES	AES
他のハード I/O	SGMII、ADC	DDR3	ADC
最大 I/O ピン	78 I/O	223 GPIO	150 I/O
最大 I/O 密度	2.2/mm ²	1.3/mm ²	0.9/mm ²
差動 I/O 速度	1,500Mbps	840Mbps	1,250Mbps
IC プロセス	28nm FD-SOI	28nm CMOS	28nm CMOS
最小パッケージサイズ	6 mm x 6 mm	11 mm x 11 mm	10 mm x 10 mm

表 2：エッジ・デバイス向け FPGA。Certus-NX は極めて小型のパッケージでありながら非常に多くのメモリを搭載しています。さらにより高速な I/O とともに優れた暗号化機能とイーサネット・サポートを提供します。（出典：競合他社資料。†ラティスを除く）

両 Certus-NX 製品はユニークな FD-SOI 技術を採用しており、消費電力と故障率(SER)の面で大きなメリットを実現します。図 1 で示したように、基本的な実装において Certus-NX の消費電力は Intel や Xilinx 製品の 3 分の 1 ないし 4 分の 1 です。ソフトウェアはラティスの製品はわずか 19 FIT で、競合製品の 160 分の 1 です。また、クラウド SPI メモリからの起動時のコンフィギュレーション速度は、競合製品の 10 倍高速です。競合製品は I/O ピンのインスタント・オンを提供していませんが、Certus-NX の場合はわずか 3 ミリ秒で初期化します。さらにラティスは Caffe や TensorFlow などのツールを使用したニューラル・ネッ

トワーク開発を可能にする **sensAI** パッケージをお客様に提供していますが、私たちはラティスが **Certus-NX** でもこうした機能を使用できるようにすることを期待しています。**sensAI** は、ニューラル・ネットワークの推論を整数もしくは 2 進数計算で行うための **FPGA** の IP とコンパイラになります。

まとめ

Certus-NX のメリットの多くは、最終製品の機能や性能の直接的な向上につながります。小型 6mm 角パッケージは、基板の小型化あるいはフリースペースを利用した新機能の追加を可能にします。競合の **FPGA** は比較的ゲート数が少ない場合でも、10mm 角から 13mm 角のパッケージを必要とします。小型パッケージにもかかわらず、**Certus-NX** は高い I/O 密度を提供し、基板設計の柔軟性を大幅に向上させます。ユニークな **FD-SOI** 技術は標準 **CMOS** と比較して消費電力が極めて低いことから、基板面積と同様に消費電力の面でも余裕が生まれます。

Certus-NX は通信などのアプリケーション向けに、**PCIe Gen2** とギガビット・イーサネットに対応するハード・ロジックを提供し、こうした一般的な技術の実装を簡素化します。柔軟性の高い I/O ピンは最大 1.5Gbps で動作し、競合の **FPGA** よりも高速の通信に対応します。インターネット接続デバイスのセキュリティを強化するため、**Certus-NX** はブロック暗号化のための **AES** と認証のための楕円曲線 (**ECDSA**) のアクセラレーションを行う暗号化ブロックを搭載しています。このブロックは外部コンフィギュレーション・メモリを検証することにより、セキュア・ブートの実行を可能にします。ロジック・セルが 100,000 未満の **FPGA** で **ECDSA** ブロックを備える製品は他にありません。また、**Certus-NX** は競合デバイスと比較して 10 倍高速に初期化を行い、エンドユーザーがデバイス起動のために待たなければならない時間を短縮します。

新 **FPGA** は IoT 製品でアナログ・センサに接続できる **A/D** コンバータを搭載しています。**PWM** モードでプログラマブルな出力と組み合わせることにより、**ADC** はモーター制御向けに最適な動作を行います。別の方法として、**Certus-NX** はアクセラレータとしての動作が可能で、ラティスの **sensAI** プラットフォームやお客様独自のアルゴリズムをロジック・セルで使用し、ニューラル・ネットワークを実装します。この様な設計において、**Certus-NX** はピン数を少なく抑えながら高速 **PCIe** リンクを通じたホスト・プロセッサへの直接接続が可能です。ソフトエラーに対する **FD-SOI** の耐性により、**Certus-NX** は航空宇宙アプリケーションにとって理想的な選択肢となります。しかし、**DSP** を多く必要とするアプリケーションに対して、残念ながらラティスのデザインは乗算器が少なくなっています。

Nexus ファミリの第 2 弾製品である **Certus-NX** は、**FD-SOI** のメリットを広範なアプリケー

ションにもたらしめます。この汎用 **FPGA** は **PCIe Gen2** とギガビット・イーサネットをサポートするとともに、先進的な暗号化機能、低消費電力、小型パッケージ、フレキシブルな **I/O** を特長としています。スマートホーム、**IoT**、コンシューマ・ネットワークなどの多数のエッジ・アプリケーションに適しています。モーター制御などのアナログ・アプリケーションにも対応するほか、**AI** や他の専用アルゴリズム向けに電力効率の高いアクセラレータを提供します。こうした市場セグメントに対するラティスのフォーカスが、競合製品と一線を画す **Certus-NX** のユニークで革新的な機能を実現しています。

Linley Gwennap は **The Linley Group** の主席アナリスト兼 **Microprocessor Report** 編集長。**Linley Group** はマイクロプロセッサや **SoC** の設計に関する最も包括的な分析を提供しています。ビジネス戦略だけでなく、内部技術の分析も行っています。エンベデッド・プロセッサ、モバイル・プロセッサ、サーバ・プロセッサ、**AI** アクセラレータ、**IoT** プロセッサ、プロセッサ **IP** コア、イーサネット・チップなどについて詳細な記事を提供しています。詳細については、www.linleygroup.com/をご覧ください。